

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036816

(43)Date of publication of application : 09.02.2001

(51)Int. Cl. H04N 5/335

(21)Application number : 11-177547 (71)Applicant : TAIWAN ADVANCED SENSORS CORP

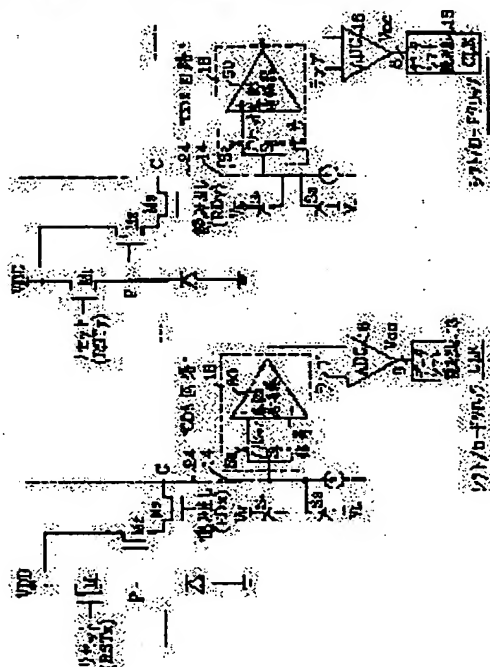
(22)Date of filing : 23.06.1999 (72)Inventor : RI GAKUNO

## (54) AUTOMATIC CALIBRATION OF A/D CONVERTER IN CMOS-TYPE IMAGE SENSOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To minimize the parasitic effect of an A/D converter and a CDS circuit by initializing the counters of respective n-A/D converters by a compensation value to compensate the digital output of the corresponding A/D converters to balance the nonuniformity of elements in a signal processing means.

**SOLUTION:** Each A/D converter 16 is connected so as to receive an analog signal from a corresponding column line 14 through a known correlated double sampling(CDS) circuit 18 to convert each analog signal to a digital signal. The digital signal expresses the gray level of optical luminance detected by a corresponding pixel element. Then, in an initializing period before generation of N-pieces of digital signals, a compensation value where prescribed reference voltage corresponds to each of the N A/D converters 16 is obtained. As the result of it, the counters of the respective N A/D converters are initialized by the compensation value to compensate the digital output of the corresponding A/D converters 16 to balance the nonuniformity of elements in a signal processing means.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office



## 【特許請求の範囲】

【請求項1】 イメージセンサ装置であって、  
 N個のアナログ信号をそれぞれ出力するN列の出力ラインを有するイメージ感知アレイであって、Nは1より大きい整数である、イメージ感知アレイと、  
 それぞれがN個のアナログ信号のうちの1つの信号に対応するN個のデジタル信号を生成するN個の入力ラインを有する信号処理手段と、  
 それぞれが該N個のデジタル信号のうちの1つの信号を生成するカウンタを含むN個のA/D変換器を備え、該N個のデジタル信号が生成される前の初期化期間中は、所定の基準電圧が該N個のA/D変換器の入力に接続され、該N個のA/D変換器のそれぞれに対応する補償値が得られ、その結果該N個のA/D変換器それぞれの該カウンタが該補償値により初期化されて、該対応するA/D変換器の該デジタル出力を補償し、これにより該信号処理手段内の素子の非均一性を均衡化する、イメージセンサ装置。

【請求項2】 前記信号処理手段は、それぞれが前記補償値を前記対応するカウンタにロードして、該対応するカウンタの前記デジタル出力を補償する、N個の初期化回路をさらに備えている、請求項1に記載のイメージセンサ装置。

【請求項3】 前記信号処理手段は、それぞれが前記補償値を前記対応するカウンタの前記出力にラッチおよび加算して、該対応するカウンタの前記デジタル出力を補償する、N個の初期化回路をさらに備えている、請求項1に記載のイメージセンサ装置。

【請求項4】 前記信号処理手段は、  
 それぞれが前記N個のアナログ信号のうちの対応する信号にตอบสนองしてサンプリングされたアナログ信号を生成する、該信号処理手段の前記N個の入力ラインに接続されるN個のサンプリング回路をさらに備えている、請求項1に記載のイメージセンサ装置。

【請求項5】 前記N個のA/D変換器のそれぞれが基準ランプ信号を受け取る第1の入力端子と、前記サンプリングされたアナログ信号を受け取る第2の入力端子とを有する、請求項4に記載のイメージセンサ装置。

【請求項6】 前記サンプリング回路のそれぞれが第1の入力端子と第2の入力端子とを備え、前記初期化期間中、前記N個のA/D変換器のそれぞれに対応する前記補償値が前記A/D変換器の前記出力で得られるように、前記所定の基準電圧が該第1および第2の入力端子を通して印加される、請求項4に記載のイメージセンサ装置。

【請求項7】 前記初期化期間中、前記A/D変換器の各セットに対応する前記補償値が、該A/D変換器の前記出力で得られるように、前記所定の基準電圧が、前記サンプリング回路のそれぞれの出力に印加される、請求項4に記載のイメージセンサ装置。

【請求項8】 前記信号感知アレイはイメージ感知アレイである、請求項1に記載のイメージセンサ装置。

【請求項9】 前記基準電圧は  $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$  に等しく、ここで  $V_{sh}$  は、前記A/D変換器によって生じるオフセット電圧より大きいかまたは該オフセット電圧に少なくとも等しく、 $V_{ramp+}$  は前記基準ランプ信号の最高値であり、 $V_{ramp-}$  は該基準ランプ信号の最低値である、請求項5に記載のイメージセンサ装置。

【請求項10】 前記補償値は、前記初期化期間中に前記基準電圧が印加されるとき、対応するA/D変換器からの前記デジタル信号に対するバイナリ補数である、請求項1に記載のイメージセンサ装置。

【請求項11】 前記イメージセンサはCMOSタイプのイメージセンサである、請求項8に記載のイメージセンサ装置。

【請求項12】 前記CMOSタイプのイメージセンサはモノリシックCMOSタイプのイメージセンサである、請求項11に記載のイメージセンサ装置。

【請求項13】 N個のアナログ信号をそれぞれ出力するためのN列の出力ラインを有する画像感知アレイと、N個の入力ラインおよびそれぞれがN個のアナログ信号の1つに対応するN個のデジタル信号を生成するためのN個のA/D変換器を有する信号処理手段とを有する信号センサ装置を初期化する方法であって、

(a) 該N個のアナログ信号を生成する前の初期化期間に、所定の基準電圧を該信号処理手段の該N個のA/D変換器の出力に結合させ、各セットのA/D変換器に対応する補償値をそれぞれの該N個のA/D変換器の該出力で得るステップと、

(b) 該N個のアナログ信号を生成する前に、該N個のA/D変換器のそれぞれにおけるカウンタを該対応する補償値で初期化し、該対応するA/D変換器のデジタル出力を補償し、それによって、該信号処理手段内の素子の不均一性を均衡化するステップと、  
 を包含する方法。

【請求項14】 前記ステップ(b)が、前記補償値を、1つの対応するカウンタにロードし、N個のサンプリング回路によって該カウンタからのデジタル信号出力を補償するステップをさらに含む、請求項13に記載の方法。

【請求項15】 前記ステップ(b)が、前記補償値をラッチし、Nセットのサンプリング回路によって前記対応するカウンタの前記出力に該補償値を加えるステップをさらに含む、請求項13に記載の方法。

【請求項16】 前記ステップ(a)の前に、前記N個のサンプリング回路によって前記N個のアナログ信号のそれぞれをサンプリングし、該アナログ信号に対応するサンプリングされたアナログ信号をそれぞれ生成するステップをさらに含む、請求項13に記載の方法。

【請求項17】 前記N個のA/D変換器のそれぞれが、基準ランプ信号を受信するための第1の入力端子および該サンプリングされたアナログ信号を受信するための第2の入力端子を有する、請求項16に記載の方法。

【請求項18】 前記ステップ(b)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの前記第1の入力端子および第2の入力端子にわたって印加し、各セットのA/D変換器に対応する前記補償値を、該A/D変換器の出力で得るステップをさらに含む、請求項16に記載の方法。

【請求項19】 前記ステップ(b)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの出力にわたって印加し、前記N個のA/D変換器のそれぞれに対応する前記補償値を、該A/D変換器の出力で得るステップをさらに含む、請求項16に記載の方法。

【請求項20】 前記信号感知アレイが画像感知アレイである、請求項13に記載の方法。

【請求項21】 前記基準電圧は  $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$  であり、 $V_{sh}$  は、前記A/D変換器によって生じるオフセット電圧よりも大きいかまたは少なくとも等しく、 $V_{ramp+}$  は、該基準ランプ信号の最も高い値であり、 $V_{ramp-}$  は、該基準ランプ信号の最も低い値である、請求項17に記載の方法。

【請求項22】 前記補償値が、前記基準電圧が印加されるときの前記対応するA/D変換器からの前記デジタル信号に対してバイナリ補数である、請求項13に記載の方法。

【請求項23】 前記イメージセンサ装置が、CMOS型イメージセンサである、請求項20に記載の方法。

【請求項24】 請求項23に記載のイメージセンサであって、前記CMOS型イメージセンサが、モノリシックCMOS型イメージセンサであるイメージセンサ。

【請求項25】 N個のアナログ信号をそれぞれ出力するためのN列の出力ラインを有する信号感知手段を有する信号センサ装置において使用される信号処理手段であって、それぞれが該N個のアナログ信号の1つに対応するN個のデジタル信号を生成するためのN個の入力ラインを有し、それぞれが該N個のデジタル信号の1つを生成するためのカウンタをそれぞれ有するN個のA/D変換器をさらに有し、該N個のデジタル信号が生成される前の初期化期間において、所定の基準電圧が該N個のA/D変換器の入力に結合され、該N個のA/D変換器のそれぞれに対応する補償値が得られ、該N個のA/D変換器のそれぞれにおける該カウンタが、該補償値で初期化され、該対応するA/D変換器の該デジタル出力を補償し、それによって、該信号処理手段内の素子の不均一性を均衡化する、信号処理手段。

【請求項26】 それぞれが前記補償値を前記対応するカウンタにロードし、該対応するカウンタの前記デジタル出力を補償するN個の初期化回路をさらに有する、請求項25に記載の信号処理手段。

【請求項27】 それぞれが前記補償値をラッチし、該補償値を前記対応するカウンタの前記出力に加え、該対応するカウンタの前記デジタル出力を補償するN個の初期化回路をさらに有する、請求項25に記載の信号処理手段。

【請求項28】 それぞれが、前記N個のアナログ信号の対応する1つにตอบสนองして、サンプリングされたアナログ信号を生成するN個のサンプリング回路をさらに有する、請求項25に記載の信号処理手段。

【請求項29】 前記N個のA/D変換器のそれぞれが、基準ランプ信号を受信するための第1の入力端子および該サンプリングされたアナログ信号を受信するための第2の入力端子を有する、請求項28に記載の信号処理手段。

【請求項30】 前記サンプリング回路のそれぞれが、第1の入力端子および第2の入力端子を有し、前記初期化期間に、前記所定の基準電圧が、該第1の入力端子および該第2の入力端子にわたって印加され、前記N個のA/D変換器のそれぞれに対応する前記補償値が該A/D変換器の出力で得られる、請求項28に記載の信号処理手段。

【請求項31】 前記信号感知手段が画像感知アレイである、請求項25に記載の信号処理手段。

【請求項32】 前記基準電圧は  $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$  であり、 $V_{sh}$  は、前記A/D変換器によって生じるオフセット電圧よりも大きいかまたは少なくとも等しく、 $V_{ramp+}$  は、前記基準ランプ信号の最も高い値であり、 $V_{ramp-}$  は、該基準ランプ信号の最も低い値である、請求項31に記載の信号処理手段。

【請求項33】 前記補償値が、前記初期化期間に前記基準電圧が印加されるときの前記対応するA/D変換器からの前記デジタル信号に対してバイナリ補数である、請求項25に記載の装置。

【請求項34】 N個のアナログ信号をそれぞれ出力するためのN列の出力ラインを有する信号センサ手段と、N個の入力ラインを有し、それぞれが該N個のアナログ信号の1つにそれぞれ対応するNデジタル信号を生成するためのN個のA/D変換器を有する信号処理手段とを備えた信号感知装置において、該信号処理手段内の素子の不均一性を最小限に抑えるために、該信号処理手段内の該N個のA/D変換器の対応する1つの中のカウンタを初期化する方法であって、

(i) 該N個のアナログ信号を生成する前の初期化期間に、所定の基準電圧を該信号処理手段の該N個のA/D変換器の出力に結合させ、該N個のA/D変換器のそれ

それぞれに対応する補償値を各セットのA/D変換器の出力で得るステップと、

(ii) 該N個のアナログ信号を生成する前に、該N個のA/D変換器のそれぞれにおける該カウンタを該対応する補償値で初期化し、該対応するA/D変換器の該デジタル出力を補償し、それによって、該信号処理手段内の素子の不均一性を均衡化するステップと、を包含する方法。

【請求項35】 前記ステップ(ii)が、N個の初期化回路によって、前記補償値を1つの対応するカウンタにロードし、該カウンタからの前記デジタル信号出力を補償するステップをさらに含む、請求項34に記載の方法。

【請求項36】 前記ステップ(ii)が、N個の初期化回路によって、前記補償値をラッチし、前記対応するカウンタの出力に該補償値を加えるステップをさらに含む、請求項34に記載の方法。

【請求項37】 前記ステップ(i)の前に、前記N個のサンプリング回路によって前記N個のアナログ信号のそれぞれをサンプリングし、該アナログ信号に対応するサンプリングされたアナログ信号をそれぞれ生成するステップをさらに含む、請求項34に記載の方法。

【請求項38】 前記N個のA/D変換器のそれぞれが、基準ランプ信号を受信するための第1の入力端子および前記サンプリングされたアナログ信号を受信するための第2の入力端子を有する、請求項37に記載の方法。

【請求項39】 前記ステップ(ii)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの前記第1の入力端子および第2の入力端子にわたって印加し、前記N個のA/D変換器のそれぞれに対応する前記補償値を、該A/D変換器の前記出力で得るステップをさらに含む、請求項37に記載の方法。

【請求項40】 前記ステップ(ii)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの出力にわたって印加し、前記N個のA/D変換器のそれぞれに対応する前記補償値を、前記A/D変換器の出力で得るステップをさらに含む、請求項37に記載の方法。

【請求項41】 前記信号感知アレイが画像感知アレイである、請求項34に記載の方法。

【請求項42】 前記基準電圧は  $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$  であり、 $V_{sh}$  は、前記A/D変換器によって生じるオフセット電圧よりも大きいかまたは少なくとも等しく、 $V_{ramp+}$  は、前記基準ランプ信号の最も高い値であり、 $V_{ramp-}$  は、該基準ランプ信号の最も低い値である、請求項38に記載の方法。

【請求項43】 前記補償値が、前記基準電圧が印加さ

れるときの前記対応するA/D変換器からの前記デジタル信号に対してバイナリ補数である、請求項33に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はCMOS型イメージセンサに関し、詳細には、CMOS型イメージセンサ内のA/D変換器の初期化手続きに関する。

【0002】

【従来の技術】 センサに焦点が合った光画像を電気信号に変換するために、イメージセンサが使用される。通常、イメージセンサは光検出素子のアレイを含む。このアレイにおいて、アレイ上に画像の焦点が合った場合に、各素子が素子で受光された光輝度に対応する信号を生成する。続いてこれらの信号は、モニタ上に対応する画像を表示するために使用され得る。

【0003】 代表的な周知のタイプのイメージセンサの1つが電荷結合素子(CCD)である。CCDイメージセンサを含む集積回路チップは、特別なプロセスが必要のために高価である。CCDはまた、要求されるクロック信号および通常必要とされる高電圧のために、比較的大きな電力を浪費する。CCDイメージセンサとは対照的に、CMOSアクティブ画素センサ(APS)は、1つのセンサチップ上に制御、ドライブおよび信号プロセス回路をモノリシックに集積できるので、近頃多くの注目を集めている。CMOS APS画像の利点として、(1)低電圧動作および低電力消費、(2)オンチップエレクトロニクスでのプロセス互換性、ならびに(3)従来のCCDと比較して潜在的に低コストであることが挙げられる。これらの利点は、標準的なCMOS製造プロセスの広範囲に及ぶ利用可能性により得られるものである。

【0004】

【発明が解決しようとする課題】 しかし、本発明者は、広面積且つ高密度の画素アレイにおいて、各光検出素子によって生成されたアナログ信号は、寄生容量、抵抗、暗電流漏れ、またはデバイス特性の不均一に起因する影響等の様々な程度の寄生効果を受ける。これらの寄生効果は半導体デバイスに固有のものであり、画像情報の信号-ノイズ比を低下させる。従って、ノイズ問題は、CMOS APSの性能を制限し得る主要な技術的課題を提示する。これらのノイズとして、画像データのサンプリングに関連するkTCノイズ、画像信号を増幅するために使用される回路に関連する  $1/f$  ノイズ、およびアレイ内の列間の不均一に関連する固定パターンノイズが挙げられる。

【0005】 列ラインにおける同一の内部信号についても、デバイスのばらつき、漏れ電流および/または関連二重サンプリング(CDS)回路間の不整合ならびに1つの集積回路CMOSセンサチップにおけるA/D変換

器内の比較器が、各A/D変換器の出力において異なるデジタル信号値を生成する。ADCの比較器と異なる列のセルに対応するCDS回路との性能のばらつきは、列ライン間のラインピッチが短縮される場合にいっそう悪くなる。本発明の目的は、A/D変換器およびCDS回路のこれらの寄生効果を最小化することである。

【0006】

【課題を解決するための手段】本発明によるイメージセンサ装置は、N個のアナログ信号をそれぞれ出力するN列の出力ラインを有するイメージ感知アレイであって、Nは1より大きい整数である、イメージ感知アレイと、それぞれがN個のアナログ信号のうちの1つの信号に対応するN個のデジタル信号を生成するN個の入力ラインを有する信号処理手段と、それぞれが該N個のデジタル信号のうちの1つの信号を生成するカウンタを含むN個のA/D変換器を備え、該N個のデジタル信号が生成される前の初期化期間中は、所定の基準電圧が該N個のA/D変換器の入力に接続され、該N個のA/D変換器のそれぞれに対応する補償値が得られ、その結果該N個のA/D変換器それぞれの該カウンタが該補償値により初期化されて、該対応するA/D変換器の該デジタル出力を補償し、これにより該信号処理手段内の素子の非均一性を均衡化して、上記目的が達成される。

【0007】イメージセンサ装置は、前記信号処理手段が、それぞれが前記補償値を前記対応するカウンタにロードして、該対応するカウンタの前記デジタル出力を補償する、N個の初期化回路をさらに備えてもよい。

【0008】イメージセンサ装置は、前記信号処理手段が、それぞれが前記補償値を前記対応するカウンタの前記出力にラッチおよび加算して、該対応するカウンタの前記デジタル出力を補償する、N個の初期化回路をさらに備えてもよい。

【0009】イメージセンサ装置は、前記信号処理手段が、それぞれが前記N個のアナログ信号のうちの対応する信号にตอบสนองしてサンプリングされたアナログ信号を生成する、該信号処理手段の前記N個の入力ラインに接続されるN個のサンプリング回路をさらに備えてもよい。

【0010】イメージセンサ装置は、前記N個のA/D変換器のそれぞれが基準ランプ信号を受け取る第1の入力端子と、前記サンプリングされたアナログ信号を受け取る第2の入力端子とを有してもよい。

【0011】イメージセンサ装置は、前記サンプリング回路のそれぞれが第1の入力端子と第2の入力端子とを備え、前記初期化期間中、前記N個のA/D変換器のそれぞれに対応する前記補償値が前記A/D変換器の前記出力で得られるように、前記所定の基準電圧が該第1および第2の入力端子を通して印加されてもよい。

【0012】イメージセンサ装置は、前記初期化期間中、前記A/D変換器の各セットに対応する前記補償値が、該A/D変換器の前記出力で得られるように、前記

所定の基準電圧が、前記サンプリング回路のそれぞれの出力に印加されてもよい。

【0013】イメージセンサ装置は、前記信号感知アレイはイメージ感知アレイであってもよい。

【0014】イメージセンサ装置は、前記基準電圧は  $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$  に等しく、ここで  $V_{sh}$  は、前記A/D変換器によって生じるオフセット電圧より大きいまたは該オフセット電圧に少なくとも等しく、 $V_{ramp+}$  は前記基準ランプ信号の最高値であり、 $V_{ramp-}$  は該基準ランプ信号の最低値であってもよい。

【0015】イメージセンサ装置は、前記補償値が、前記初期化期間中に前記基準電圧が印加されるとき、対応するA/D変換器からの前記デジタル信号に対するバイナリ補数であってもよい。

【0016】イメージセンサ装置は、前記イメージセンサがCMOSタイプのイメージセンサであってもよい。

【0017】イメージセンサ装置は、前記CMOSタイプのイメージセンサがモノリシックCMOSタイプのイメージセンサであってもよい。

【0018】本発明によるN個のアナログ信号をそれぞれ出力するためのN列の出力ラインを有する画像感知アレイと、N個の入力ラインおよびそれぞれがN個のアナログ信号の1つに対応するN個のデジタル信号を生成するためのN個のA/D変換器を有する信号処理手段とを有する信号センサ装置を初期化する方法は、(a) 該N個のアナログ信号を生成する前の初期化期間に、所定の基準電圧を該信号処理手段の該N個のA/D変換器の出力に結合させ、各セットのA/D変換器に対応する補償値をそれぞれの該N個のA/D変換器の該出力で得るステップと、(b) 該N個のアナログ信号を生成する前に、該N個のA/D変換器のそれぞれにおけるカウンタを該対応する補償値で初期化し、該対応するA/D変換器のデジタル出力を補償し、それによって、該信号処理手段内の素子の不均一性を均衡化するステップとを包含し、それにより上記目的が達成される。

【0019】前記ステップ(b)が、前記補償値を、1つの対応するカウンタにロードし、N個のサンプリング回路によって該カウンタからのデジタル信号出力を補償するステップをさらに含んでもよい。

【0020】前記ステップ(b)が、前記補償値をラッチし、Nセットのサンプリング回路によって前記対応するカウンタの前記出力に該補償値を加えるステップをさらに含んでもよい。

【0021】前記ステップ(a)の前に、前記N個のサンプリング回路によって前記N個のアナログ信号のそれぞれをサンプリングし、該アナログ信号に対応するサンプリングされたアナログ信号をそれぞれ生成するステップをさらに含んでもよい。

【0022】前記N個のA/D変換器のそれぞれが、基

準ランプ信号を受信するための第1の入力端子および該サンプリングされたアナログ信号を受信するための第2の入力端子を有してもよい。

【0023】前記ステップ(b)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの前記第1の入力端子および第2の入力端子にわたって印加し、各セットのA/D変換器に対応する前記補償値を、該A/D変換器の出力で得るステップをさらに含んでもよい。

【0024】前記ステップ(b)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの出力にわたって印加し、前記N個のA/D変換器のそれぞれに対応する前記補償値を、該A/D変換器の出力で得るステップをさらに含んでもよい。

【0025】前記信号感知アレイが画像感知アレイであってもよい。

【0026】前記基準電圧は $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$ であり、 $V_{sh}$ は、前記A/D変換器によって生じるオフセット電圧よりも大きいまたは少なくとも等しく、 $V_{ramp+}$ は、該基準ランプ信号の最も高い値であり、 $V_{ramp-}$ は、該基準ランプ信号の最も低い値であってもよい。

【0027】前記補償値が、前記基準電圧が印加されるときの前記対応するA/D変換器からの前記デジタル信号に対してバイナリ補数であってもよい。

【0028】前記イメージセンサ装置が、CMOS型イメージセンサであってもよい。

【0029】本発明によるイメージセンサは、請求項23に記載のイメージセンサであって、前記CMOS型イメージセンサが、モノリシックCMOS型イメージセンサであり、それにより上記目的が達成される。

【0030】本発明によるN個のアナログ信号をそれぞれ出力するためのN列の出力ラインを有する信号感知手段を有する信号センサ装置において使用される信号処理手段は、それぞれが該N個のアナログ信号の1つに対応するN個のデジタル信号を生成するためのN個の入力ラインを有し、それぞれが該N個のデジタル信号の1つを生成するためのカウンタをそれぞれ有するN個のA/D変換器をさらに有し、該N個のデジタル信号が生成される前の初期化期間において、所定の基準電圧が該N個のA/D変換器の入力に結合され、該N個のA/D変換器のそれぞれに対応する補償値が得られ、該N個のA/D変換器のそれぞれにおける該カウンタが、該補償値で初期化され、該対応するA/D変換器の該デジタル出力を補償し、それによって、該信号処理手段内の素子の不均一性を均衡化し、それにより上記目的が達成される。

【0031】それぞれが前記補償値を前記対応するカウンタにロードし、該対応するカウンタの前記デジタル出力を補償するN個の初期化回路をさらに有してもよい。

【0032】それぞれが前記補償値をラッチし、該補償

値を前記対応するカウンタの前記出力に加え、該対応するカウンタの前記デジタル出力を補償するN個の初期化回路をさらに有してもよい。

【0033】それぞれが、前記N個のアナログ信号の対応する1つにตอบสนองして、サンプリングされたアナログ信号を生成するN個のサンプリング回路をさらに有してもよい。

【0034】前記N個のA/D変換器のそれぞれが、基準ランプ信号を受信するための第1の入力端子および該サンプリングされたアナログ信号を受信するための第2の入力端子を有してもよい。

【0035】前記サンプリング回路のそれぞれが、第1の入力端子および第2の入力端子を有し、前記初期化期間に、前記所定の基準電圧が、該第1の入力端子および該第2の入力端子にわたって印加され、前記N個のA/D変換器のそれぞれに対応する前記補償値が該A/D変換器の出力で得られてもよい。

【0036】前記信号感知手段が画像感知アレイであってもよい。

【0037】前記基準電圧は $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$ であり、 $V_{sh}$ は、前記A/D変換器によって生じるオフセット電圧よりも大きいまたは少なくとも等しく、 $V_{ramp+}$ は、前記基準ランプ信号の最も高い値であり、 $V_{ramp-}$ は、該基準ランプ信号の最も低い値であってもよい。

【0038】前記補償値が、前記初期化期間に前記基準電圧が印加されるときの前記対応するA/D変換器からの前記デジタル信号に対してバイナリ補数であってもよい。

【0039】本発明によるN個のアナログ信号をそれぞれ出力するためのN列の出力ラインを有する信号センサ手段と、N個の入力ラインを有し、それぞれが該N個のアナログ信号の1つにそれぞれ対応するN個のデジタル信号を生成するためのN個のA/D変換器を有する信号処理手段とを備えた信号感知装置において、該信号処理手段内の素子の不均一性を最小限に抑えるために、該信号処理手段内の該N個のA/D変換器の対応する1つの中のカウンタを初期化する方法は、(i) 該N個のアナログ信号を生成する前の初期化期間に、所定の基準電圧を該信号処理手段の該N個のA/D変換器の出力に結合させ、該N個のA/D変換器のそれぞれに対応する補償値を各セットのA/D変換器の出力で得るステップと、(ii) 該N個のアナログ信号を生成する前に、該N個のA/D変換器のそれぞれにおける該カウンタを該対応する補償値で初期化し、該対応するA/D変換器の該デジタル出力を補償し、それによって、該信号処理手段内の素子の不均一性を均衡化するステップとを包含し、それにより上記目的が達成される。

【0040】前記ステップ(ii)が、N個の初期化回路によって、前記補償値を1つの対応するカウンタにロ

ードし、該カウンタからの前記デジタル信号出力を補償するステップをさらに含んでよい。

【0041】前記ステップ(i i)が、N個の初期化回路によって、前記補償値をラッチし、前記対応するカウンタの出力に該補償値を加えるステップをさらに含んでよい。

【0042】前記ステップ(i)の前に、前記N個のサンプリング回路によって前記N個のアナログ信号のそれぞれをサンプリングし、該アナログ信号に対応するサンプリングされたアナログ信号をそれぞれ生成するステップをさらに含んでよい。

【0043】前記N個のA/D変換器のそれぞれが、基準ランパ信号を受信するための第1の入力端子および前記サンプリングされたアナログ信号を受信するための第2の入力端子を有してもよい。

【0044】前記ステップ(i i)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの前記第1の入力端子および第2の入力端子にわたって印加し、前記N個のA/D変換器のそれぞれに対応する前記補償値を、該A/D変換器の前記出力で得るステップをさらに含んでよい。

【0045】前記ステップ(i i)が、前記所定の基準電圧を、前記初期化期間の間に、前記サンプリング回路のそれぞれの出力にわたって印加し、前記N個のA/D変換器のそれぞれに対応する前記補償値を、前記A/D変換器の出力で得るステップをさらに含んでよい。

【0046】前記信号感知アレイが画像感知アレイであってもよい。

【0047】前記基準電圧は $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$ であり、 $V_{sh}$ は、前記A/D変換器によって生じるオフセット電圧よりも大きいまたは少なくとも等しく、 $V_{ramp+}$ は、前記基準ランパ信号の最も高い値であり、 $V_{ramp-}$ は、該基準ランパ信号の最も低い値であってもよい。

【0048】前記補償値が、前記基準電圧が印加されるときの前記対応するA/D変換器からの前記デジタル信号に対してバイナリ補数であってもよい。

【0049】CMOSプロセスによって製造されたアクティブ画素イメージセンサを本明細書中で説明する。本発明のアクティブ画素イメージセンサは、光感知ダイオードの2次元画素アレイコアを含む。光感知ダイオードの伝導率は光ダイオードが受光する光の大きさに関係する。フォトダイオードによって生成されたアナログ信号はソースホロウ増幅器によって緩衝され、行トランジスタによってアクセスされ、アレイ内の各列に結合される。各列ラインにおけるアナログ信号は、各列ラインに結合されたA/D変換器(ADC)によってデジタル信号に変換される。他の方法のうち、A/D変換器は高利得比較器、つまり特定のタイミングシーケンスと同調した基準ランパ信号で調整された8ビットバイナリカウン

タによって形成され得る。A/D変換回路に時間フレーム内でA/D変換を実行するために、特定のタイミングシーケンスを用いて、このインターバルの間に行内の全ての感知素子が各光レベルをデジタル値に変換する。タイミングにより、得られたデジタル信号値はチップの別の機能ブロックに配送されるか、もしくは、この期間または別の期間の間、処理についてチップをオフにする。しかし、好適な実施形態において、第1の行ラインの読み出し動作の前に、各列ライン上のCDSの入力ノードの電位は「基準」電圧に設定され、続いて、各列上の値がA/D変換器によってデジタル値に変換される。得られた出力デジタルデータは、A/D変換器とCDS回路とのデバイス特性のばらつきに起因する不均一およびばらつきに関する情報を含む。次に、このようにして得られた各出力ラインに対応するデジタルデータ値は、画素アレイの行上での実際のA/D動作に続く動作を実行する前に、各ADCカウンタの初期値として用いられる。従って、A/D変換器およびCDS回路の主要な寄生効果および歪みは、続いて行われる実際の画像のA/D変換の間に最小化される。

【0050】

【発明の実施の形態】ここで、添付の図面を参照して、以下に本発明がより詳細に説明される。図面には発明の実施態様を示される。示される実施態様の1つはCMOSイメージセンサのアプリケーションに関するが、当業者には、本発明が多くの異なる形態で例示され得、且つ本明細書中に提示される実施態様およびアプリケーションに限定されるように解釈されるべきではないことが、理解される。これらの実施態様は、むしろ、本開示が十分且つ完全であり、発明の精神を当業者に十分に伝えるために提供される。図面中、同一の番号は同一の要素を示す。

【0051】図1は、1つの集積回路チップ上に形成された $640 \times 480$  CMOSアクティブ画素イメージセンサのアーキテクチャを示す。イメージセンサコアアレイ19は、参照符号10で示される光検出素子の2次元画素アレイを含む。光検出素子は、図2で示される回路と同一の回路を含む。タイミング/制御理論15から出る制御信号152を備える行アドレスシフトレジスタ12は、1行ずつアドレスするために、コアアレイ19に接続される。シフトレジスタ12の出力は、アドレスライン21によってコアアレイ19に1行ずつアドレスし、それにより、所定のフレームレートタイミング要求にしたがって列ライン14にアナログ信号を読み出す。

【0052】1つの実施態様において、各A/D変換器16は、周知の相関倍加サンプリング(CDS)回路18を介して、対応する列ライン14からアナログ信号を受け取るために接続され、各アナログ信号をデジタル信号に変換する。デジタル信号は、対応する画素素子10によって検出される光輝度のグレーレベルを表す。例え

ば8ビットA/D変換が実行される場合、アナログ信号は256の値を有し、それぞれが光学輝度の程度を表す。CDS回路18の機能は、以下に、図4が説明される際に記載される。タイミング/制御理論15は、タイミング信号、例えば、CDS回路18を動作させるスイッチング信号、行アドレスシフトレジスタ12を動作させる制御信号、およびシステムの動作を制御するためのシフトレジスタ13を動作させる信号を出力する。

【0053】感知動作が実行される場合、画像は、画像の異なる部分が各画素子10に当たるように、イメージセンサコア19上に焦点を合わせられる。図2に示されるように、各光検出素子10はフォトダイオード20、またはそれに相当する光感知デバイスを含む。その光感知デバイスは、フォトゲート、バイポーラフォトトランジスタなど、伝導電流が、光感知装置の連結部に当たる光輝度に関連するものである。

【0054】図2に示すように、露光周期の初期において内部列ライン24は隔離されており、それは、読み出し信号RDが非活動状態にあることにより、アクセストランジスタM3がオフにされているためである。フォトダイオード20は、始めに、リセットトランジスタM1によって、VDDレベルに近い値にリセットされる。リセットトランジスタM1は、図1の行アドレスシフトレジスタ12から出力されるリセット信号RSTが活動状態にあることで、オンにされる。

【0055】信号RSTが非活動状態にあることでリセットトランジスタM1がオフにされるに伴って、露光が開始する。これは、フォトダイオード電流が、その上に当たる光に起因して、自らの固有電気容量を放電し、ノードPにおける電荷を減少させることを可能にする。図5に示される時間間隔、 $t_{exp}$ 、は画像露光の時間である。時間間隔は、RST信号の下降遷移において開始し、RST信号の上昇遷移において終了する。露光開始から十分な時間の後、その行のアクセストランジスタM3は活動RD信号によってオンにされる。上記の十分な時間とは、異なる画像感度または露光制御を提供するために、変更され得る。アクセストランジスタM3がオンにされると、ソースホロウトランジスタM2およびアクセストランジスタM3を介して変換される、ノードPにおけるフォトダイオード電圧は、内部列ライン24に接続される。電圧は、ソースホロウトランジスタM2の効果によってオフセットされ、もちろん、トランジスタM2の特性によって変化する。この電圧は列ライン24の端部における回路に格納される。次いで、露光インタバルの最後において、行におけるリセットトランジスタM1は再びオンにされ、フォトダイオード20のカソードノードPに接続されるソースホロウM2の入力をVDDに近い値にリセットする。続く相関増倍サンプリング(CDS)回路18によって感知される実際の信号は、リセット信号RSTが起動される前と後でのノードCに

おける信号の差であり、 $\Delta V_c$ で表される。異なる瞬間におけるノードCの信号の削除は周知のCDS回路によって達成され、その詳細は本発明のよって網羅されない。異なる時間における内部列ライン24での信号の双方は、ソースホロウM2およびアクセストランジスタM3のオフセットを含み、それにより、内部列ライン24に関連するエラーは自動的に無効にされる。次いで、信号の差は、デジタル値への変換のためにA/D回路16に提供される。すなわち、実際の画像獲得動作は、露光時間の終了時およびリセット信号RSTが起動された後のそれぞれにおいて、列ノードCにおける信号の差を獲得することにより行われる。

【0056】図3は、例示的なA/D変換器16の機能ブロック図である。示されるA/D変換器16は、高利得比較器32、クロックゲーティング理論34、および8ビットバイナリカウンタ36、および2つのインバータ33、35を含む。しかし、信号のデジタル値への変換を可能にする他の設定も、また、可能である。図3の実施態様では、基準ランプ信号38は比較器32の非インバーティング入力ノードに入力され、CDS回路からのアナログ信号31は比較器32のインバーティング入力ノードに入力される。クロック信号39は、インバータ33の出力信号によりゲートされる。A/D変換を行う際、規準ランプ信号38が上昇を開始し、クロック信号39がその動作を開始するに伴い、カウンタ36はカウントを開始する。規準ランプ信号38がアナログ信号31と等しい場合、比較器32の出力はフリップし、且つクロックゲーティング理論34を介して、クロック信号39のゲートを解除する。したがってカウンタ36の出力は、カウンタがカウントを停止した場合、アナログ信号31に対応するデジタル値を表す。 $V_{ramp-}$ 値はランプ信号38の最低レベルであり、 $V_{ramp+}$ はランプ信号38の最高レベルである。

【0057】図4に示されるように、入力から出力へのアナログ信号31の重要経路は、ソースホロウM2、アクセストランジスタM3、内部列ライン24、CDS回路18、およびA/D変換器16内の比較器回路32を含む。異なるフォトセル10におけるノードP上の同一のアナログ信号についてさえも、ソースホロウM2間での装置のばらつき、およびアクセストランジスタM3間での装置のばらつきは、各フォトセル10の、対応する内部列ライン24上において異なる信号値を発生する。これらのばらつきは、前述の、周知のCDS回路18によって最小限にされ得る。

【0058】2つの連続する行ラインにおけるピクセルについての読み取りタイミングは、例示的に図5に示される。S1およびS2信号は、それぞれ、図4のスイッチS1およびS2を動作させる。例として、図5では、480行ラインについて30Hzフレームレートに対応する、ライン時間間隔69.4 $\mu$ sが開示され、且つ後

に、適用可能な場合に用いられる。

【0059】しかし、各列ラインにおける同一の内部信号についてさえ、装置のばらつき、漏れ電流、および／またはCDS回路18、および1つの集積回路CMOSセンサチップにおけるA/D変換器16内の比較器32の間での不整合は、各A/D変換器16の出力において異なるデジタル信号値を発生する。ADC比較器と、異なる列のセルに対応するCDS回路の比較器との間の動作のばらつきは、列ライン24間のラインピッチが縮小されるに伴い悪化する。A/D変換器16およびCDS回路18におけるこれらの寄生効果を最小限にするために、以下の好適な実施態様が用いられる。

【0060】図6aの回路および図6bのタイミングに示されるように、本発明は、フレーム時間スロットの始まり時かつ各フレーム内の第1ラインに対する読み出し動作の前において各列に対し一続きの動作を与える。図6bにおいて、信号S1およびS2上の時刻 $t_2$ および $t_3$ におけるパルスの発生は、実際の画像信号のサンプリングに参与する。本発明は、2つの従来のスイッチS1およびS2に加えて、異なる信号を選択的に送信するために、図6bに示される対応する信号S3およびS4によって動作されるさらなる2つの追加スイッチS3およびS4を設置する。

【0061】時刻 $t_{1a}$ において、各内部列ライン24は、スイッチS3によってVLへ引き下げられる。次に、このVL電圧は、時刻 $t_{1b}$ においてスイッチS1をONにすることによって、CDS回路18の差動増幅器60の反転入力ノード(SIG)に格納される。時刻 $t_{1c}$ において、スイッチS4はONにされ、内部列ライン24のすべてをVHにプリセットさせる。なお、スイッチS4は、スイッチS1がONの場合、ONにされ得ない。好ましい実施態様において、VHおよびVLは一般に、 $V_{ref}$ で示されるVHとVLとの差が $(V_{ramp+}) - (V_{ramp-}) - V_{sh}$ 以下であるように設定される。ここで、 $V_{ramp+}$ および $V_{ramp-}$ をそれぞれ最高および最低レベルのランプ信号(図3で使用)であり、 $V_{sh}$ は、最大有効電圧オフセットである。最大有効電圧オフセットは、任意の所定列に対するADCおよびCDS回路を組み合わせることによって生じさせることができ、正方向において任意の所定の製造プロセスに対して許容である。時刻 $t_{1d}$ において、電圧VHは、スイッチS2をONにすることによってCDS回路18の差動増幅器60の非反転入力ノード(PRE)に転送され、格納される。その結果、時刻 $t_{1d}$ の直後に、アレイの各列に対してCDS回路18の出力は、各CDSに対するオフセット電圧が非常に小さいと仮定すると、ノード(PRE)上のVHからノード(SIG)上のVLを引くことによって得られる $V_{ref}$ である。なお、スイッチS2は、M3が実際の画像信号のサンプリングに対してONにされる前に、OFFにされる。

【0062】図7aは、図6aの場合と比較して、CDS回路18の出力時における $V_{ref}$ ( $=VH-VL$ )電圧の生成についての別の例を示す。図7bにおいて示されるように、時刻 $t_1$ においてスイッチS3およびS4をONにすることによって差動増幅器60の入力ノード(SIG)および(PRE)をVLおよびVHレベルにそれぞれプリセットすることにより、目的は達成される。予想されるように、各CDSに対するオフセット電圧が非常に小さいと仮定すると、CDS回路18の出力は、 $V_{ref}$ ( $=VH-VL$ )となる。図7bにおいて、信号S1およびS2上の時刻 $t_2$ および $t_3$ におけるパルスの発生は、実際の画像信号のサンプリングに参与する。

【0063】さらに、CDS回路によって起される列間の不均一性が非常に小さく無視できる場合、列間のADC回路によって起こされる部分に対してのみ補償がなされ得る。この場合、各列上のADCの入力への偽画像信号としての $V_{ref}$ ( $=VH-VL$ )電圧の生成は、図8bに示される時刻 $t_1$ において図8aにおけるスイッチS3をONにすることによって $V_{ref}$ へのADCの入力ノードをプリセットすることによってなされ得る。図8bにおける信号S1およびS2上の時刻 $t_2$ および $t_3$ におけるパルスの発生は、実際の画像信号のサンプリングに参与する。

【0064】上述された3つの方法のいずれか1つを採用することによって、CDS回路18の出力における電圧は、図6bに示される $t_{1d}$ から $t_2$ までの期間あるいは図7bおよび8bに示される $t_1$ から $t_2$ までの期間においてADC回路16によってデジタル値に変換される。アレイ内の各列に対するADC回路およびCDS回路の各比較器に対するオフセット電圧が互いに逸脱する場合、ADC回路からのデジタル値出力が同じ $V_{ref}$ 信号下において列間で異なる。

【0065】本発明によって、初期化期間中に1つのADC回路について得られたデジタル値のバイナリ補数は、フレーム時間スロット内で各行ラインに対して実際の画像値変換が行われる前に、対応するADC16内のカウンタを初期化するために使用される。すなわち、それぞれの列に対してADCのカウンタの各初期値は、列間のADCおよびCDS回路によって起こされるオフセットを最小化するように使用される。発明は、動作例の結果の以下の詳述によってさらに実現され得る。

【0066】以下に、例として、いずれの方向についても最大許容出力電圧シフト $V_{sh}$ を0.5ボルトに選択し得る。しかし、実際の条件下においては、正方向の $V_{sh}$ 値は、負方向の $V_{sh}$ 値と異なる可能性は高い。さらに、比較器32へのアナログ信号31の入力が $V_{ramp+}$ 値および $V_{ramp-}$ 値の範囲にある間においてランプ信号の $V_{ramp+}$ および $V_{ramp-}$ の電圧差を3.5ボルトに選択し得る。統計的アプローチによる

と、上記範囲(±0.5ボルト)から逸脱するデバイス特性を有するすべての画像センサチップは、選択から外される。製造プロセスおよび露光時間間隔を適切に選択することによって、いずれの方向にも $V_{sh}=0.5$ ボルトを有する0.5ボルトから3ボルトまで動く $\Delta V_c$ の信号の範囲を設計し得る。したがって、最終的な出力値は、3.5ボルトを超えず、0ボルトを下回らない。 $\Delta V_c=3$ ボルトは、光輝度の全開値に対応し、 $\Delta V_c=0.5$ ボルトは、暗黒に対応する。例えば、画像感知期間中において、時刻 $t_2$ および $t_3$ において対応するスイッチのそれぞれの作用の後に、CDS回路への入力信号の最大差は3ボルトになることがあり、したがって実質的に3.5ボルトのアナログ信号を出力する。他方、

$$V_{oc+}=11111111=255(\text{十進法})\dots\dots 3.5 \text{ ボルトに対応} \dots (1)$$

$$V_{oc_0}=11011010=218(\text{十進法})\dots\dots 3 \text{ ボルトに対応} \dots\dots (2)$$

$$V_{oc-}=10110110=182(\text{十進法})\dots\dots 2.5 \text{ ボルトに対応} \dots (3)$$

【0069】画像信号の実際のアナログ信号変換の前に、本発明は、A/D変換器内のカウンタのオートキャリブレーションがアレイ内の異なるピクセル列間の不均一性をすべてオフセットするように行われる間、初期化期間を与える。各画像フレーム時間の間、フレームの第1行の読み出し動作の前に一度、基準電圧 $V_{ref}$ に対して各列ラインのCDS18またはA/D変換器16の入力をプリセットすることによって、カウンタの初期化が行われる。

【0070】例えば、初期化期間中に $V_{ref}=(V_{ramp+})-(V_{ramp-})-V_{sh}=3.5$ ボルト-0.5ボルト=3ボルトを使用し得る。次に、A/D

$$V_{oc+}=11111111=255(\text{十進法})\dots\dots 3.5 \text{ ボルトに対応} \dots (4)$$

$$V_{oc_0}=11011010=218(\text{十進法})\dots\dots 3 \text{ ボルトに対応} \dots\dots (5)$$

$$V_{oc-}=10110110=182(\text{十進法})\dots\dots 2.5 \text{ ボルトに対応} \dots (6)$$

$$\text{列 X: } 00000000=0(\text{十進法})\dots\dots\dots (7)$$

$$\text{列 Y: } 00100101=37(\text{十進法})\dots\dots\dots (8)$$

$$\text{列 Z: } 01001001=73(\text{十進法})\dots\dots\dots (9)$$

【0072】上記のバイナリ補数データはそれぞれ、列ラインX、YおよびZに対応する各ADC回路16内の各カウンタを初期化するために使用される。つまり、本発明によれば、初期化期間後であり且つ実際のイメージ信号のためのA/D変換が行毎に行われる前には、列ラインX、ラインY、ラインZに対応する各ADC回路16内のカウンタの初期値はそれぞれ0、37および73である。好適な実施形態では、図10に示される初期化回路は、A/D変換器内のカウンタに接続され、初期化回路の出力は、初期化期間中に本発明によるA/D変換器内のカウンタを初期化するために使用される。図10

CDS回路へ入力される信号の最小差は、0.5ボルトであり得、したがって実質的に0ボルトのアナログ信号を出力する。したがって、A/D変換器16の出力の動的範囲は、 $V_{sh}$ を考慮すると、0ボルトから3.5ボルトである。

【0067】本発明を用いず、 $V_{sh}$ が±0.5ボルトである $\Delta V_c=3$ ボルトに対して、8ビットA/D変換器16は、これに対応して、以下に示される値を有する $V_{oc+}$ 、 $V_{oc_0}$ 、 $V_{oc-}$ を出力する。この現象は、本発明者が解決しようと意図する列間の不均一性である。

【0068】

【数1】

変換動作が、対応するデジタル出力データを各列に対して生成するように行われる。3つの列ラインX、Y、およびZに対するA/D変換動作の結果がそれぞれ項目(4)、(5)、および(6)に示されるとする。本発明は、項目(7)、(8)、および(9)において以下にリストされるように、項目(4)、(5)、および(6)のバイナリデータをバイナリ補数に反転させることによって必要なオフセット値を得るために、項目(4)、(5)、および(6)におけるデータを使用する。

【0071】

【数2】

では、カウンタからの出力信号を初期化回路のラッチにラッチするために、ラッチイネーブル信号が使用される。SCTR信号は、ラッチからの出力( $IS_0$ 、 $IS_1$ 、...、 $IS_7$ )をイネーブルにして、上述のようにカウンタをプレロードする。

【0073】実際の画像獲得がそれぞれ上述の方法により初期化される前の各列ライン用のADC回路16内のカウンタの値により、各A/D変換器の寄生効果によって生じる不均一性が最小限となる。

【0074】例えば、実際のイメージ信号のサンプリング中、上述の列ラインX、ラインY、ラインZのための

$\Delta V_c$  信号がそれぞれ3ボルトに等しいとき、本発明によれば、列ラインXのための得られるA/D出力は0+255、すなわち255であり得る。同様に、本発明によれば、列ラインYのための得られるA/D出力は37+218、すなわち255であり得る。同様に、本発明によれば、列ラインZのための得られるA/D出力は73+182、すなわち255であり得る。つまり、本発明ではない場合は、実際のイメージ信号のサンプリング中、 $\Delta V_c=3$ ボルトに対して、列ラインX、ラインY、ラインZのための各A/D出力は、リスト項目(1)、(2)および(3)に示される出力であり得

$V_{oc+}=01001001=73$ (十進法)..... 1ボルトに対応 .....(10)

$V_{oc_0}=00100100=36$ (十進法)..... 0.5ボルトに対応 .....(11)

$V_{oc-}=00000000=0$ (十進法)..... 0ボルトに対応 .....(12)

【0077】本発明では、実際のイメージ信号のサンプリング中に、上述の列ラインX、ラインY、ラインZのための $\Delta V_c$ 信号がそれぞれ0.5ボルトに等しいとき、列ラインXのための得られるA/D出力は0+73、すなわち73であり得る。同様に、本発明によれば、列ラインYのための得られるA/D出力は37+36、すなわち73であり得る。同様に、本発明によれば、列ラインZのための得られるA/D出力は73+0、すなわち73であり得る。つまり、本発明ではない場合、実際のイメージ信号のサンプリング中、 $\Delta V_c=0.5$ ボルトに対して、それぞれのA/D出力は、リスト項目(10)、(11)、および(12)に示される出力であり得る。これに対して、本発明の実施では、それぞれのA/D出力はすべて73に等しく、すべての列の均一性が予想通りに実現され得る。

【0078】実際の実施においてもっと高い解像度が必要とされる場合は、ADCカウンタのビット数を、要件に適合するように8ビットを超えて増大させ得る。図3に示されるタイプ以外のタイプのADCが利用可能であり、これらを使用しても、依然として本発明の精神から外れることなく本発明の目的を達成し得る。

【0079】本発明をCMOSタイプのイメージセンサチップに適用する場合を例として記述したが、本発明は、A/D変換器アレイを用いアレイ内の変換器にわたって出力の均一性を必要とするいかなる回路に対しても適用可能である点に留意することが重要である。

【0080】本発明の好適な実施形態について記述および図示したが、上記の請求の範囲によって規定される本発明の精神および範囲から外れることなく様々な等価の変更がなされ得ることは当業者には明白であり得る。

【0081】例えば、上述のように図10に例示した回路を用いてADCのカウンタを初期化する代わりに、各フレームの初期化期間中に各ADCの出力を相補することによって初期化値を得てもよい。次に得られた初期化

る。これに対して、本発明の実施では、列ラインX、ラインY、ラインZのための各A/D出力はすべて255に等しく、すべての列の均一性が予想通りに実現される。

【0075】同様に、本発明が提供されない場合、および $\Delta V_c=0.5$ ボルトで、 $V_{sh}$ が $\pm 0.5$ ボルトであるときは、8ビットのA/D変換器は対応して以下に示すような値を有する $V_{oc_n}$ 、 $V_{oc+}$ 、 $V_{oc-}$ を出力することが仮定される。

【0076】

【数3】

1ボルトに対応 .....(10)

0.5ボルトに対応 .....(11)

0ボルトに対応 .....(12)

値はデータラッチ回路に格納される。実際の画像獲得動作中は、これらの値は次にそれぞれ、追加の加算器回路によってADCの各出力に加算され、列間の不均一性をオフセットする。本発明はCMOSセンサへの適用に限定されるものではなく、様々なタイプのセンサ10を用いることによって物理的変化または化学的変化を含む、温度感知、圧力感知などの幅広い範囲の他の信号感知に適用可能である。

【0082】N個のA/D変換器にわたる不均一性を最小限に抑えるために、単一チップCMOS型イメージセンサのN個のA/D変換器の対応するセット(Nは、1より大きい整数)のA/D変換器内のカウンタを初期化する方法を提供する。

【0083】単一チップCMOS型イメージセンサは、N個のアナログ信号をそれぞれ出力するためのN列の出力ラインを有する画像感知アレイ、およびそれぞれがN個のアナログ信号の1つにそれぞれ対応するN個のデジタル信号を生成するための信号処理装置を有する。信号処理装置は、N個の入力ラインおよびそれぞれがN個のデジタル信号の1つを生成するためのそれぞれのカウンタを有するN個のA/D変換器を有する。方法は、信号処理装置のN個の入力ラインのそれぞれに所定の基準電圧を印加し、各セットのA/D変換器に対応する補償値を得るステップを含む。方法はさらに、各対応するセットのA/D変換器のカウンタに、N個のデジタル信号を生成する前に、各セットのA/D変換器に対応する補償値をロードすることを含む。

【0084】

【発明の効果】N個のA/D変換器にわたる不均一性を最小限に抑えるために、単一チップCMOS型イメージセンサのN個のA/D変換器の対応するセット(Nは、1より大きい整数)のA/D変換器内のカウンタを初期化する。

【図面の簡単な説明】

【図1】従来技術による640×480CMOSアクティブ画素イメージセンサのブロック図である。

【図2】従来技術によるアクティブ画素セルの模式図およびその基本的動作タイミング図である。

【図3】従来技術による8ビットA/D変換器の機能ブロック図およびその基準ランパタイミング図である。

【図4】従来技術によるアナログ信号クリティカルパスを示す簡略化された模式図である。

【図5】従来技術による2つの連続する行ライン内の画素についての読み出し動作タイミング図である。

【図6 a】寄生効果の歪みを低減する本アプリケーションのある好適な実施形態の簡略化された模式図である。

【図6 b】図6 aの動作タイミング図である。

【図7 a】寄生効果の歪みを低減する本アプリケーションの別の好適な実施形態の簡略化された模式ブロック図である。

【図7 b】図7 aの動作タイミング図である。

【図8 a】寄生効果の歪みを低減する本アプリケーションの別の好適な実施形態の模式ブロック図である。

【図8 b】図8 aに対応する読み出し動作のタイミング図である。

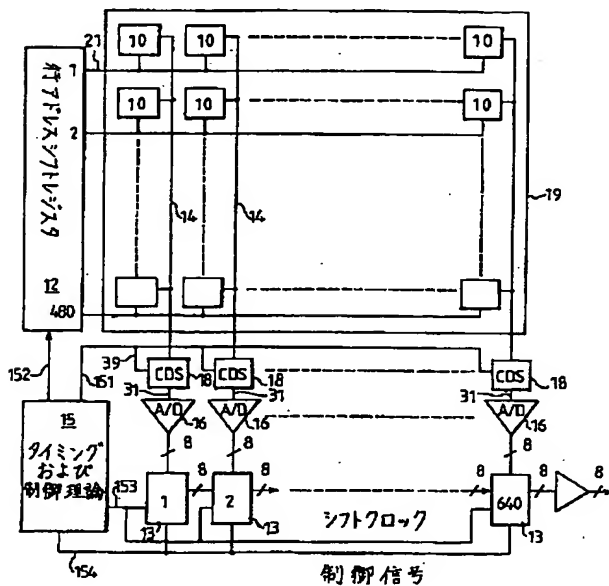
【図9】8ビットADC基準ランパタイミング図である。

【図10】好適な実施形態による、初期化回路が、例えばカウンタの初期化を実行する様子を示す図である。

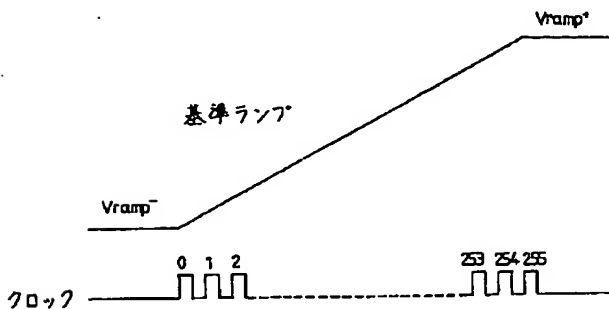
【符号の説明】

- 13 シフトレジスタ
- 14 列ライン
- 16 A/D回路
- 18 CDS回路
- 24 内部列ライン
- 60 差動増幅器

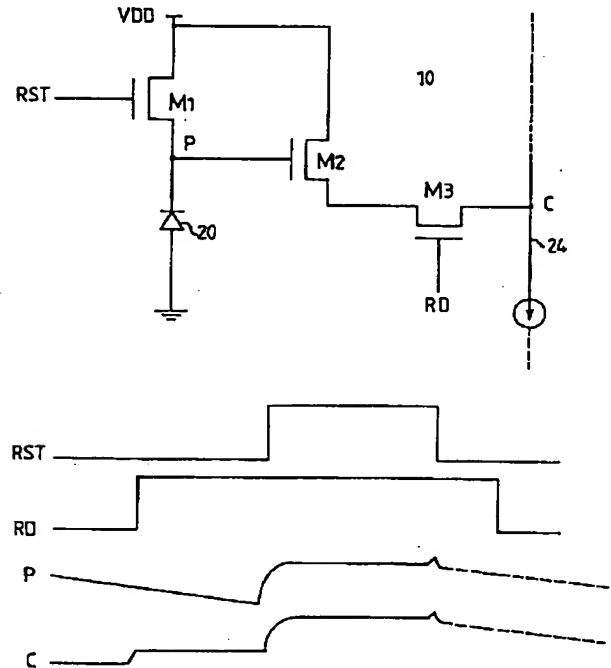
【図1】



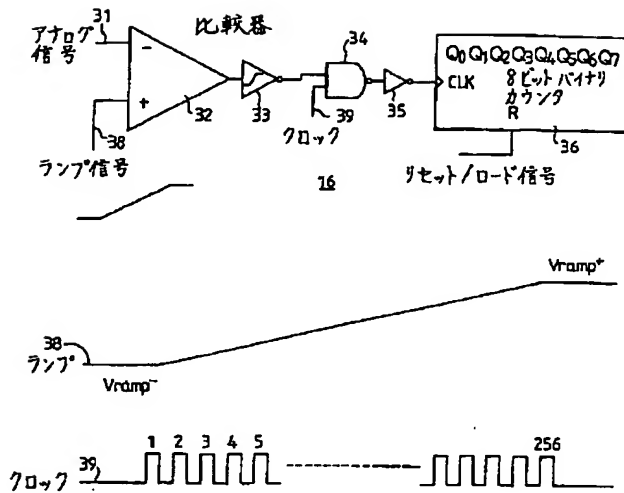
【図9】



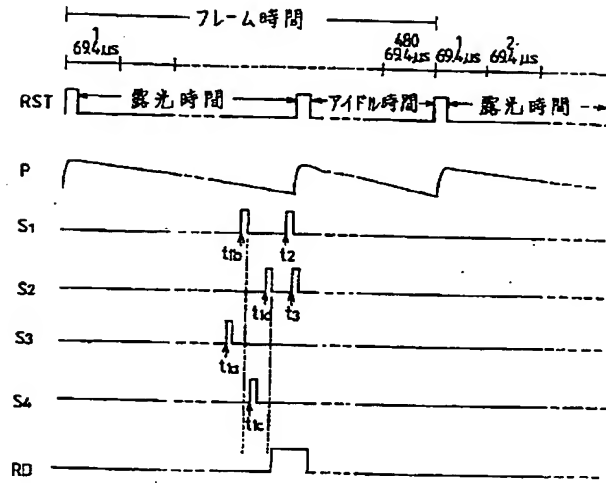
【図2】



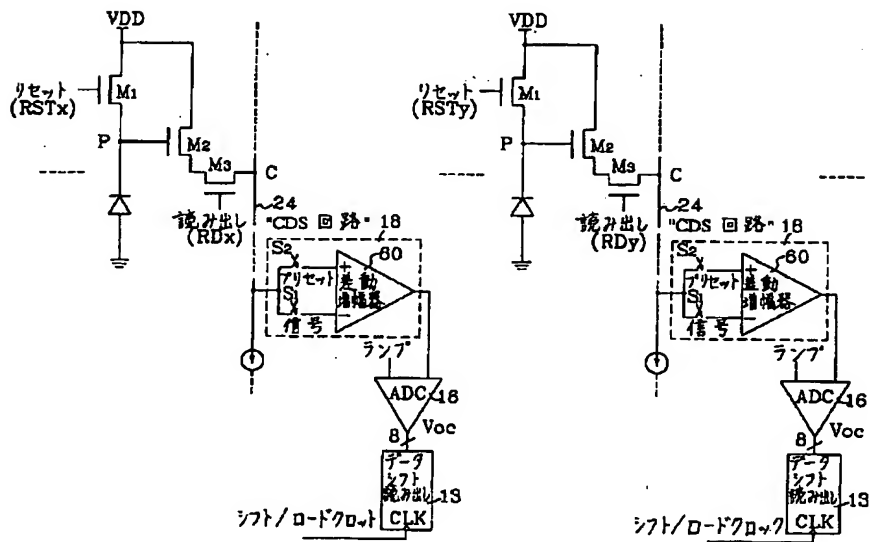
【図3】



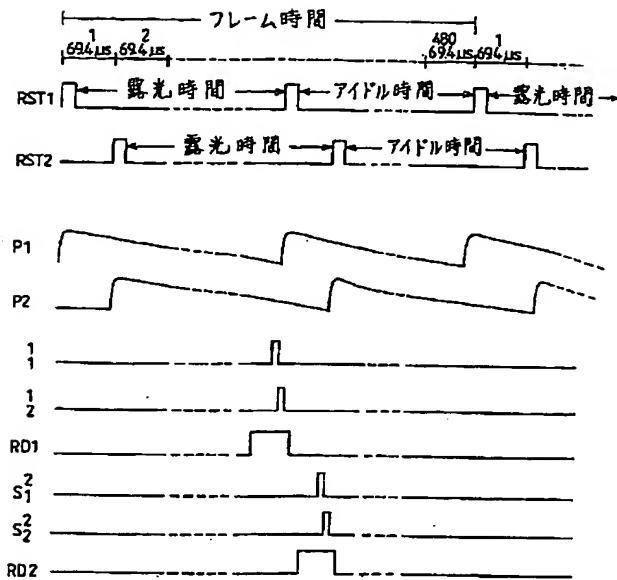
【図6b】



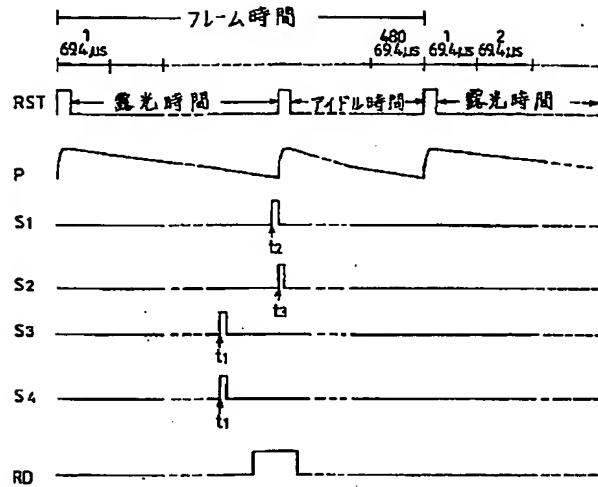
【図4】



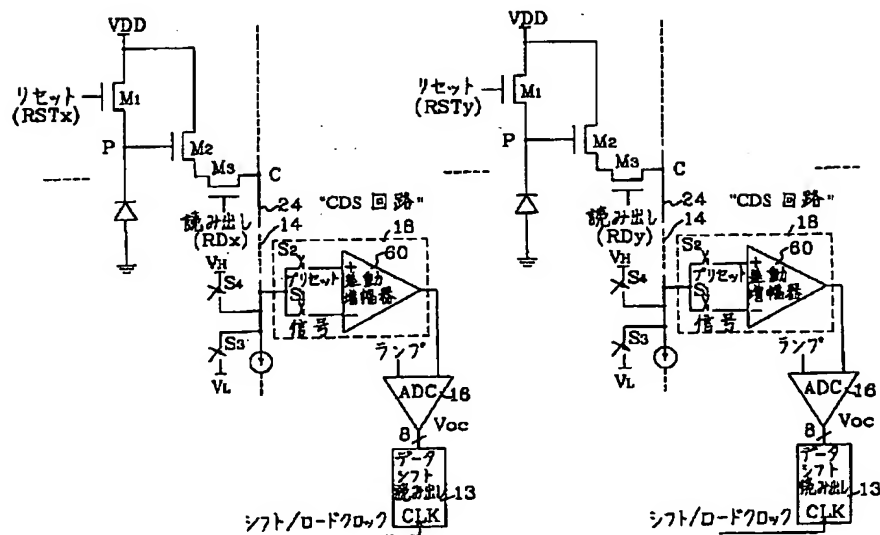
【図5】



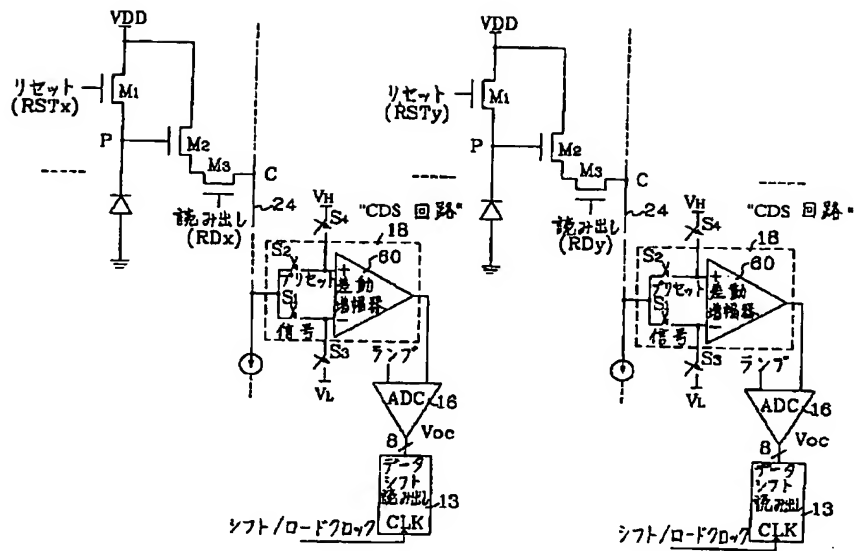
【図7b】



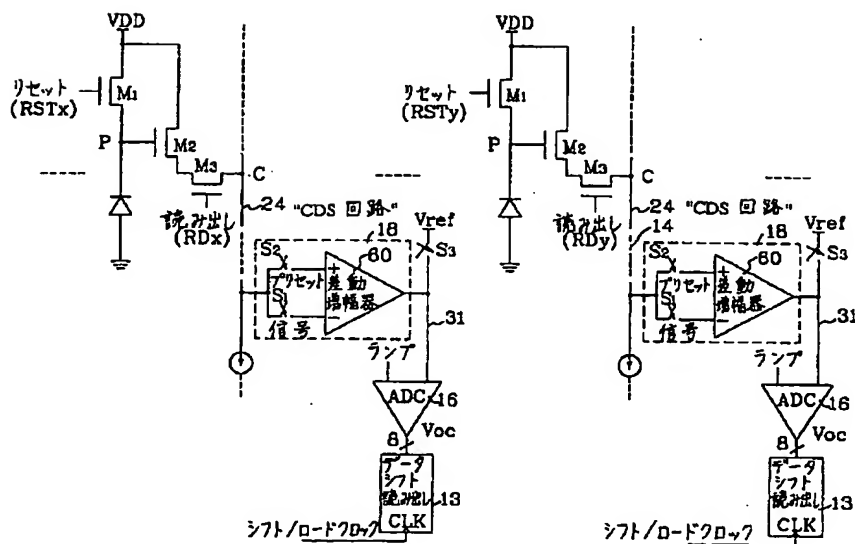
【図6a】



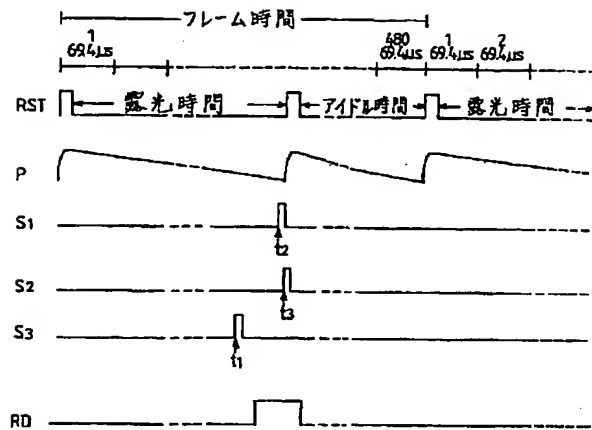
【図7a】



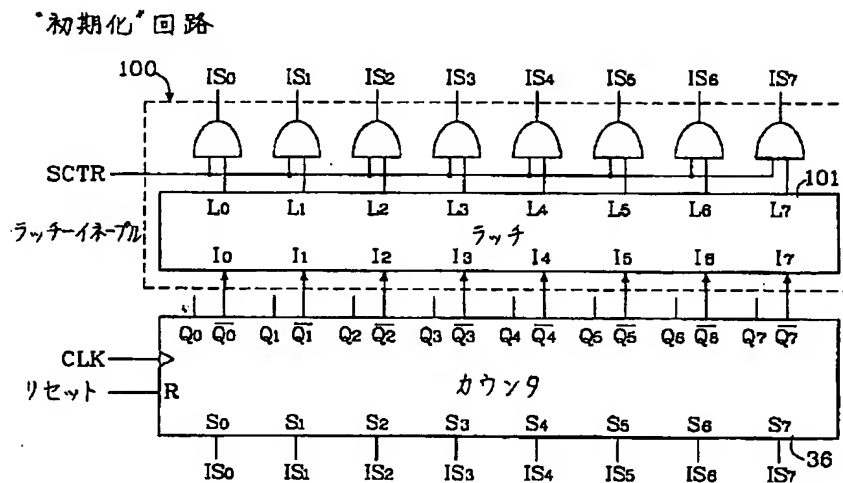
【図8a】



【図8b】



【図10】



フロントページの続き

(71)出願人 599121942  
12th Fl., No. 214, Se  
c. 1, Ho pin East R  
d., Taipei, Taiwan

(72)発明者 李學能  
台湾, 台北, ホピンイーストロ  
ード, セクション1, ナンバー214,  
12ディーエイチフロア  
Fターム(参考) 5C024 AA01 CA05 CA14 FA01 GA01  
GA31 HA06 HA07 HA14 HA17  
HA23 JA04